

引用例 2 の英文抄録

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010056778 A
 (43)Date of publication of application: 04.07.2001

(21)Application number: 1019990058387
 (22)Date of filing: 16.12.1999

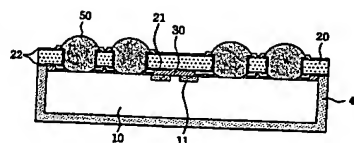
(71)Applicant: HYNIX SEMICONDUCTOR INC.
 (72)Inventor: HONG, SEONG HAK

(51)Int. Cl. H01L 21/60

(54) CHIP SIZED PACKAGE

(57) Abstract:

PURPOSE: A chip sized package is provided to lower the height of solder balls and to reduce contact resistance as well as to vary the shape of the package for various semiconductor chips.



CONSTITUTION: The chip sized package includes a semiconductor chip(10), a substrate, the solder ball (50), a sealant(40) and a medium(30). The semiconductor chip includes the first surface on which bonding pads are allocated and the second surface opposite thereto. The substrate includes the second surface facing the first surface of the semiconductor chip, the first surface opposite thereto, several penetrating holes penetrating the first and second surfaces, and a metal sheet(21) which is extended from inside wall of the penetrating hole to the second surface on the upper portion of the bonding pad. The solder ball is inserted to the penetrating hole with a portion exposed and is electrically coupled with the metal sheet. The sealant seals the lower and side portion of the semiconductor chip. The medium is applied between the substrate and the semiconductor chip and electrically couples the metal sheet with the bonding pad of the semiconductor chip.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020423)

Patent registration number (1003450750000)

Date of registration (20020702)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

BEST AVAILABLE COPY

引用例 2 の写し

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

51) Int. Cl.	(11) 공개번호	특2001-0056778
H01L 21/60	(43) 공개일자	2001년07월04일
21) 출원번호	10-1999-0058387	
22) 출원일자	1999년12월16일	
71) 출원인	주식회사 하이닉스반도체, 박종섭	
	대한민국	
	467-866	
	경기 이천시 부발읍 아미리 산136-1	
72) 발명자	홍성학	
	대한민국	
	442-070	
	경기도 수원시 팔달구 인계동319-6신반포아파트110-605	
74) 대리인	강성배	
77) 심사청구	있음	
54) 출원명	칩 사이즈 패키지	

요약

본 발명은 칩 사이즈 패키지를 개시한다. 개시된 본 발명은, 실시예 1로서, 반도체 칩은 그의 본딩 패드가 중앙에 배치된 제 1 표면과, 제 1 표면과 반대면인 제 2 표면을 갖는다. 서로 반대면이 제 1 및 제 2 표면을 갖는 기판의 제 2 표면이 도전성 접착제를 매개로 반도체 칩의 제 1 표면에 부착된다. 기판에는 본딩 패드와 연결선을 이루지 않는 위치에 수 개의 관통공이 형성되고, 이 관통공의 내벽 전체와 기판의 제 1 및 제 2 표면에 금속막이 도금된다. 따라서, 기판의 제 2 표면에 도금된 금속막이 도전성 접착제를 매개로 반도체 칩의 본딩 패드에 전기적으로 연결된다. 본딩 패드와 전기적으로 연결된 금속막 부분과 관통공 주위에 형성된 금속막 부분을 제외한 금속막의 나머지 부분은 솔더 레지스트로 절연된다. 한편, 반도체 칩의 하부와 측부는 봉지재로 몰딩된다. 관통공에는 솔더 볼이 삽입되어, 관통공 내벽에 도금된 금속막과 전기적 접촉을 이루게 된다.

도면

12

도면

도면의 간단한 설명

도 1은 종래의 칩 사이즈 패키지를 나타낸 단면도.

도 2는 본 발명의 실시예 1에 따른 칩 사이즈 패키지를 나타낸 단면도.

도 3은 본 발명의 실시예 2에 따른 칩 사이즈 패키지를 나타낸 단면도.

도 4는 본 발명의 실시예 3에 따른 칩 사이즈 패키지를 나타낸 단면도.

도면의 주요 부분에 대한 부호의 설명 -

- 10 : 반도체 칩 11,12 : 본딩 패드
- 20 : 기판 21,23 : 금속막
- 30 : 솔더 레지스트 30,31 : 접착제
- 40 : 봉지재 50 : 솔더 볼
- 60 : 접합 보조층 70 : 도전성 범프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩 사이즈 패키지에 관한 것으로서, 보다 구체적으로는 전체 크기에 비해 반도체 칩의 크기가 80% 정도 이상으로 구현되는 칩 사이즈 패키지에 관한 것이다.

도체 패키지는 소형화, 고속화, 고기능화라는 전자 기기의 요구에 대응하기 위해, 새로운 형태가 계속해서 개발되어 종류가 다양해 지고 있다. 이에 전자 기기의 용도에 대응하여 반도체 패키지의 적절한 사용이 중요하게 되었다. 메모리 반도체 제품에 있어서는 패키지의 소형, 박형화 중요한 과제이며, 메모리로서는 대용량의 반도체 칩을 고밀도로 패키징하고 싶다는 요구가 강하다. 이러한 관점에서 1.0 mm 두께를 갖는 TSOP(thin small outlead package)와 같은 패키지가 개발되었다.

BEST AVAILABLE COPY

그러나, 기존의 패키지는 그 크기가 너무 크기 때문에, 최근에는 경박단소의 추세에 따라 반도체 칩 정도의 크기를 갖는 칩 스케일 패키지가 개발되었다.

칩 스케일 패키지는 패키지의 크기를 칩의 크기로 설정할 수 있다는 장점이 있기 때문에, 경박단소화되는 패키지 경향에 따라 연구가 계속되고 있는 추세이다. 이러한 칩 스케일 패키지 중 기판을 이용한 종래의 칩 스케일 패키지의 한 예가 도 1에 도시되어 있다.

도 1에 도시된 바와 같이, 반도체 칩(1)은 그의 본딩 패드가 하부를 향하게 배치되어 있다. 중앙에 슬롯(2a)이 형성된 기판(2)이 접착제(4)를 매개로 반도체 칩(1)의 밑면에 접촉되어 있다. 기판(2)의 밑면에는 금속 패턴(미도시)이 형성되어 있고, 금속 패턴의 일부분만이 노출되도록 기판(2)의 밑면에는 절연성인 솔더 레지스트(3)가 도포되어 있다. 한편, 금속 패턴과 본딩 패드는 슬롯(2a)을 통해 인출되는 금속 와이어(5)에 의해 전기적으로 연결되어 있다. 전체 결과물의 상부가 봉지재(6)로 몰딩되어 있고, 솔더 레지스트(3)로부터 노출된 금속 패턴 부분에 솔더 볼(7)이 마운트되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 도 1에 도시된 종래의 칩 사이즈 패키지는 솔더 볼이 기판으로부터 대부분 노출되어 있기 때문에, 봉지재의 표면으로부터 솔더 볼의 하단까지의 거리인 패키지의 전체 두께가 두꺼워진다는 단점이 있다. 즉, 실장 높이가 높아지게 된다.

또한, 기판과 반도체 칩을 금속 와이어를 매개로 하여 전기적으로 연결시키는데, 이 금속 와이어가 수백 μm 이상이 되고 또한 금속 패턴의 길이와 각 전기적 연결 계면에서의 접촉 저항이 증가되어, 고속화 추세인 반도체 패키지에는 부적합한 면이 많다.

특히, 도 1에 도시된 패키지는 금속 와이어를 이용해서 반도체 칩의 본딩 패드와 기판의 금속 패턴을 전기적으로 연결시키도록 되어 있다. 따라서, 전술된 바와 같이 금속 와이어를 인출하기 위한 슬롯이 기판에 사전에 형성되어야 한다. 그런데, 슬롯의 위치는 항상 기판의 중앙에만 형성되어야만 하므로, 이러한 구조의 기판을 사용하는 패키지에는 본딩 패드가 중앙에 배치된 반도체 칩만이 적용되는 단점도 있다.

따라서, 본 발명은 상기된 종래의 칩 사이즈 패키지가 안고 있는 제반 문제점들을 해소하기 위해 안출된 것으로서, 솔더 볼의 노출 정도를 줄여 실장 높이를 낮출 수 있는 칩 사이즈 패키지를 제공하는데 목적이 있다.

발명의 다른 목적은, 와이어 본딩 방식을 배제하여 접촉 저항을 줄일 수 있게 하는데 있다.

발명의 또 다른 목적은, 본딩 패드의 위치에 구애받지 않고 여러 가지 형태의 반도체 칩에 적용이 가능하게 하는데 있다.

발명의 구성 및 작용

하기와 같은 목적을 달성하기 위하여, 본 발명에 따른 칩 사이즈 패키지는 다음과 같은 구성으로 이루어진다.

실시예 1로서, 반도체 칩은 그의 본딩 패드가 중앙에 배치된 제 1 표면과, 제 1 표면과 반대면이 제 2 표면을 갖는다. 서로 반대면이 제 1 및 제 2 표면을 갖는 기판의 제 2 표면이 도전성 접착제를 매개로 반도체 칩의 제 1 표면에 접촉된다. 기판에는 본딩 패드와 연결선을 이루지 않는 위치에서 수 개의 관통공이 형성되고, 이 관통공의 내벽 전체와 기판의 제 1 및 제 2 표면에 금속막이 도금된다. 따라서, 기판의 제 2 표면에 도금된 금속막이 도전성 접착제를 매개로 반도체 칩의 본딩 패드에 전기적으로 연결된다. 본딩 패드와 전기적으로 연결된 금속막 부분과 관통공 주위에 형성된 금속막 부분을 제외한 금속막의 나머지 부분은 솔더 레지스트로 절연된다. 한편, 반도체 칩의 하부와 측부는 봉지재로 몰딩된다. 관통공에 솔더 볼이 삽입되어, 관통공 내벽에 도금된 금속막과 전기적 접촉을 이루게 된다.

실시예 2로서, 반도체 칩은 그의 본딩 패드가 제 1 표면의 가장자리에 배치된다. 관통공은 본딩 패드의 연결 상부인 기판 부분에 형성된다. 따라서, 본딩 패드는 관통공을 통해 노출된다. 금속막은 관통공의 내벽과 그의 주위 부분에만 도금된다. 반도체 칩은 실시예 1과 마찬가지로 봉지재로 몰딩된다. 솔더 볼은 관통공에 삽입되어, 직접 본딩 패드에 접촉하는 것에 의해 전기적 연결을 이루게 된다. 한편, 솔더 볼과 본딩 패드가 직접 접촉하게 되므로, 기판은 도전성이 아닌 절연성 접착제를 매개로 반도체 칩의 제 1 표면에 접촉된다.

실시예 3에 따른 패키지는 실시예 1과 거의 유사하다. 다만, 도전성 접착제가 사용되지 않고 대신에 도전성 범프가 사용된다. 즉, 도전성 범프가 본딩 패드에 형성되고, 기판의 금속막이 직접 도전성 범프에 접촉하여 전기적 연결을 이루게 된다. 따라서, 기판과 반도체 칩 사이에는 갭이 형성되는데, 이 갭은 봉지재에 의해 충전된다. 다른 부분은 실시예 1과 동일하다.

상기된 본 발명의 구성에 의하면, 솔더 볼이 기판에 형성된 관통공에 삽입되어 일부분만이 노출되므로, 패키지의 전체 두께가 종래의 패키지보다 줄어들게 된다. 또한, 금속 와이어가 사용되지 않고 기판의 금속막이 본딩 패드에 직접 전기적으로 연결되므로, 신호 전달 경로가 대폭 단축된다. 아울러, 본딩 패드의 위치에 따라 관통공의 형성 위치를 변경할 필요없이 금속막을 본딩 패드 위치에 따라 적절하게 형성하기만 하면 되므로, 본딩 패드의 위치에 구애받지 않고 적용이 가능하다.

이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 설명한다.

실시예 1]

도 2는 본 발명의 실시예 2에 따른 칩 사이즈 패키지를 나타낸 단면도이다.

도시된 바와 같이, 본 실시예 2에 적용되는 반도체 칩(10)은 그의 본딩 패드(11)가 중앙에 배치된다. 보다 구체적으로, 반도체 칩(10)의 제 1 표면과 이에 반대되는 제 2 표면을 갖고, 본딩 패드(11)는 제 1 표면의 중앙에 배치된다.

기판(20)이 전기적 연결 매개체인 도전성 접착제(30)를 매개로 반도체 칩(10)의 제 1 표면에 접착되는데, 기판(20)도 제 1 표면과 이에 반대되는 제 2 표면을 갖는다. 즉, 기판(20)의 제 2 표면이 반도체 칩(10)의 제 1 표면에 접착된다. 기판(20)의 양측에는 수 개의 관통공이 형성된다. 따라서, 관통공과 본딩 패드(11)는 연직선상에 위치하지 않게 된다. 한편, 기판(20)의 제 1 및 제 2 표면에는 금속막(21)이 도금되고, 이 금속막(21)은 관통공의 내벽에도 도금되어서, 상하의 금속막(21)이 서로 전기적으로 연결된다. 특히, 기판(20)의 제 2 표면에 도금된 금속막(21)은 기판(20)의 중앙으로부터 관통공까지만 이어지도록 패터닝되고, 또한 기판(20)의 제 1 표면에 도금된 금속막(21)은 관통공의 주위에만 위치하게 패터닝된다. 패터닝된 금속막(21)만이 노출되도록, 기판(20)의 제 1 및 제 2 표면에는 절연성인 솔더 레지스트(22)가 도포된다. 따라서, 기판(20)의 제 2 표면에 도금된 금속막(21)은 도전성 접착제(30)를 매개로 본딩 패드(11)에 전기적으로 연결된다.

반도체 칩(10)을 보호하기 위해서, 반도체 칩(10)의 하부와 측부가 봉지재(40)로 몰딩된다. 솔더 볼(50)이 각 관통공에 삽입되어, 관통공 내벽에 도금된 금속막(21)에 접촉함으로써, 솔더 볼(50)과 금속막(21)이 전기적 연결 상태를 이루게 된다. 특히, 솔더 볼(50)은 관통공으로부터 1/3 정도만이 노출되도록 관통공에 삽입된다. 따라서, 관통공은 솔더 볼(50)이 완전 삽입이 가능하도록 솔더 볼(50)의 직경과 거의 동일한 직경을 갖게 되고, 한편 기판(20)의 두께는 솔더 볼(50) 직경의 2/3 정도가 된다. 기판(20) 두께가 상기 조건이 되어야만, 솔더 볼(50)의 1/3 정도가 관통공으로부터 노출될 수가 있게 된다.

실시예 2]

도 3은 본 발명의 실시예 2에 따른 칩 사이즈 패키지를 나타낸 단면도이다.

도시된 바와 같이, 본 실시예 2에 적용되는 반도체 칩(10)은 그의 본딩 패드(12)가 중앙이 아니라 가장자리에 배치된다. 그리고, 기판(20)에 형성된 관통공은 본딩 패드(12)의 연직 상부에 배치되는데, 여기서 관통공의 형성 위치는 실시예 1 및 2에서 모두 동일하다. 즉, 실시예 1에서 사용되었던 기판(20)과 동일한 기판(20)이 본 실시예 2에서도 사용된다. 따라서, 본딩 패드(12)는 관통공을 통해서 상부로 노출된다.

또한, 기판(20)은 실시예 1에서 사용되었던 도전성 접착제(30)가 아니라 비도전성 접착제(31)를 매개로 반도체 칩(10)의 제 1 표면에 접착되는데, 그 이유는 후술한다. 그리고, 금속막(23)은 오직 관통공의 내벽에만 도금되고, 솔더 레지스트(22)는 기판(20)의 제 1 및 제 2 표면에 도포된다. 봉지재(40)는 실시예 1과 같이 반도체 칩(10)의 하부와 측부를 몰딩하게 된다.

솔더 볼(50)은 실시예 1과 같은 조건으로 관통공에 삽입되어서, 그의 하부가 본딩 패드(12)에 직접 접촉하면서 관통공의 측벽에 도금된 금속막(23)에도 접촉하게 된다. 이와 같이, 솔더 볼(50)이 직접 본딩 패드(12)에 접촉하는 것에 의해 전기 신호 전달 경로가 구현되므로, 접착제를 실시예 1과는 달리 비도전성을 사용하게 된다. 즉, 본 실시예 2에서는 실시예 1과 같이 전기적 연결 매개체가 필요없게 된다.

한편, 본 실시예 2에서 관통공의 내벽에 도금된 금속막(23)은 전기 신호 전달 경로의 역할을 하지 않는다. 그 대신에, 솔더 볼(50)은 적외선을 이용한 가열 공정, 즉 리플로우 공정에 의해 용융 및 경화 공정을 통해 형성되므로, 금속막(23)은 이러한 리플로우 공정시 솔더 볼(50)과 금속 반응을 일으켜서, 솔더 볼(50)을 견고히 지지하는 역할을 하게 된다. 이러한 금속막(23)의 기능은 실시예 1에서도 마찬가지로 발휘된다.

또한, 본딩 패드(12)에는 솔더 볼(50)의 접합력 강화를 위해 접합 보조층(60:UBM)이 형성되는 것이 바람직하다. 접합 보조층(60)은 공지된 기술로서, 통상적으로 니켈/금의 이중층으로 이루어진다.

실시예 3]

도 4는 본 발명의 실시예 3에 따른 칩 사이즈 패키지를 나타낸 단면도이다.

도시된 바와 같이, 본 실시예 3은 실시예 1과 동일하게, 본딩 패드(11)가 중앙에 배치된 반도체 칩(10)이 적용된다. 다만, 실시예 1과 다른 점은 전기적 연결 매개체로서 도전성 접착제(30)가 사용되지 않고 대신에 도전성 범프(70)가 사용된다는 것이다.

보다 구체적으로 설명하면, 본딩 패드(11)에는 도전성 범프(70)가 형성되고, 기판(20)의 제 2 표면에 도금된 금속막(21)이 직접 도전성 범프(70)에 열압착 방식으로 접합된다. 따라서, 기판(20)과 반도체 칩(10) 사이에는 갭이 형성되는데, 봉지재(40)로 몰딩시, 이 갭 공간도 봉지재(40)로 채워진다.

다른 구성요소들은 실시예 1과 동일하므로, 더 이상의 반복 설명은 생략한다.

한편, 실시예 1 내지 3에서 금속막(21,23)의 재질은 구리/니켈/금으로 이루어지는 것이 바람직하다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의하면, 솔더 볼이 관통공에 2/3 정도가 수용되므로써, 솔더 볼의 노출 정도가 줄어들게 되어, 패키지의 두께가 그만큼 감소하게 된다. 따라서, 패키지 실장 높이를 줄일 수가 있게 된다.

또한, 전기적 연결 매개체로서 금속 와이어가 사용되지 않고 금속막과 도전성 접착제 또는 도전성 범프, 또는 솔더 볼이 직접 본딩 패드에 전기적으로 접촉하게 되므로써, 길이 축소로 전기적 신호 전달 경로가 대폭 단축된다.

특히, 본딩 패드의 위치에 따라 기판을 재제작하지 않고 그대로 호환하여 사용할 수가 있게 되므로, 본딩 패드 위치에 따라 기판 적용이 제한되지 않게 된다.

이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 또한 설명하였으나, 본 발명은 상기한 실시예에 한정되지 않고, 이하 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

57) 청구의 범위

청구항 1.

본딩 패드가 배치된 제 1 표면과, 상기 제 1 표면과 반대면인 제 2 표면을 갖는 반도체 칩;

BEST AVAILABLE COPY

기 반도체 칩의 제 1 표면과 소정 간격을 두고 대향, 배치되는 제 2 표면과, 상기 제 2 표면과 반대면인 제 1 표면을 갖고, 상기 제 1 및 제 2 표면을 관통하는 수 개의 관통공이 형성되며, 상기 관통공의 내벽에 도금되어 이로부터 본딩 패드 상부에 위치하는 제 2 표면까지 연장된 금속막을 갖는 기판;

기 기판의 관통공에 일부분이 노출되도록 삽입되어, 상기 관통공의 내벽에 도금된 금속막과 전기적으로 접촉된 솔더 볼;

기 반도체 칩의 하부와 측부를 외부와 차단하는 봉지재; 및

기 기판과 반도체 칩 사이에 개재되어, 상기 금속막과 반도체 칩의 본딩 패드를 전기적으로 연결하는 매개체를 포함하는 것을 특징으로 하는 칩 사이즈 패키지.

구항 2.

1 항에 있어서, 상기 전기적 연결 매개체는 기판과 반도체 칩을 접착시키는 도전성 접착제인 것을 특징으로 하는 칩 사이즈 패키지.

구항 3.

1 항에 있어서, 상기 전기적 연결 매개체는 본딩 패드에 형성된 도전성 범프이고, 상기 도전성 범프에 의해 기판과 반도체 칩 사이에 형성된 공간이 상기 봉지재로 채워진 것을 특징으로 하는 칩 사이즈 패키지.

구항 4.

1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 본딩 패드는 반도체 칩의 제 1 표면 중앙에 배치되고, 상기 관통공은 기판의 가장자리에 형성된 것을 특징으로 하는 칩 사이즈 패키지.

구항 5.

1 항에 있어서, 상기 금속막이 도금된 부분을 제외한 상기 기판의 제 1 및 제 2 표면의 나머지 부분은 솔더 레지스트로 절연된 것을 특징으로 하는 칩 사이즈 패키지.

구항 6.

1 항에 있어서, 상기 금속막의 재질은 구리/니켈/금인 것을 특징으로 하는 칩 사이즈 패키지.

구항 7.

본딩 패드가 배치된 제 1 표면과, 상기 제 1 표면과 반대면인 제 2 표면을 갖는 반도체 칩;

기 반도체 칩의 제 1 표면과 소정 간격을 두고 대향, 배치되는 제 2 표면과, 상기 제 2 표면과 반대면인 제 1 표면을 갖고, 상기 제 1 및 제 2 표면을 관통하면서 상기 본딩 패드의 연직 상부에 위치하는 수 개의 관통공이 형성된 기판;

기 기판과 반도체 칩을 접착시키는 비전도성 접착제;

기 기판의 관통공에 일부분이 노출되도록 삽입되어, 상기 본딩 패드에 직접 전기적으로 접촉된 솔더 볼; 및

기 반도체 칩의 하부와 측부를 외부와 차단하는 봉지재를 포함하는 것을 특징으로 하는 칩 사이즈 패키지.

구항 8.

7 항에 있어서, 상기 관통공의 내벽에는 솔더 볼과 금속 반응을 일으켜서 솔더 볼을 지지하는 금속막이 도금된 것을 특징으로 하는 칩 사이즈 패키지.

구항 9.

7 항 또는 제 8 항에 있어서, 상기 본딩 패드에 접합 보조층이 형성된 것을 특징으로 하는 칩 사이즈 패키지.

구항 10.

9 항에 있어서, 상기 접합 보조층은 니켈/금으로 이루어진 것을 특징으로 하는 칩 사이즈 패키지.

구항 11.

7 항에 있어서, 상기 금속막의 재질은 구리/니켈/금인 것을 특징으로 하는 칩 사이즈 패키지.

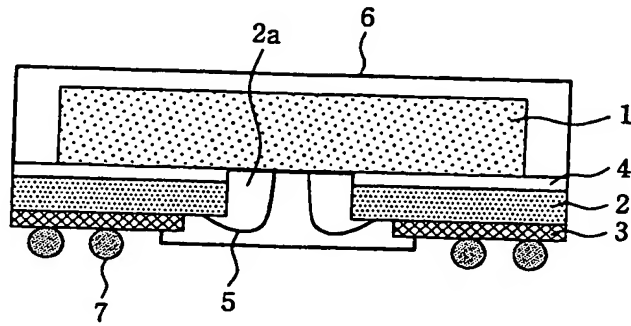
구항 12.

7 항에 있어서, 상기 기판의 제 1 및 제 2 표면에는 솔더 레지스트가 도포된 것을 특징으로 하는 칩 사이즈 패키지.

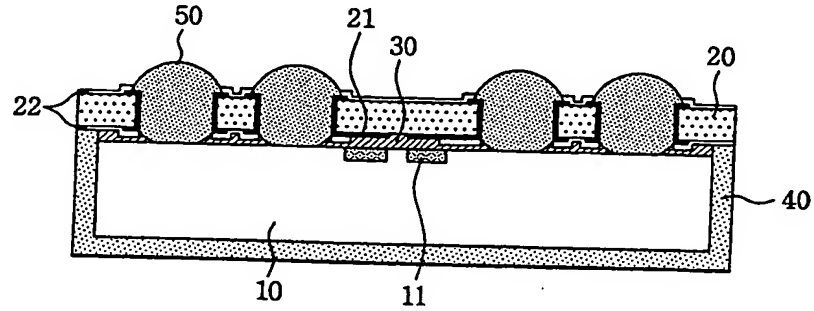
면

BEST AVAILABLE COPY

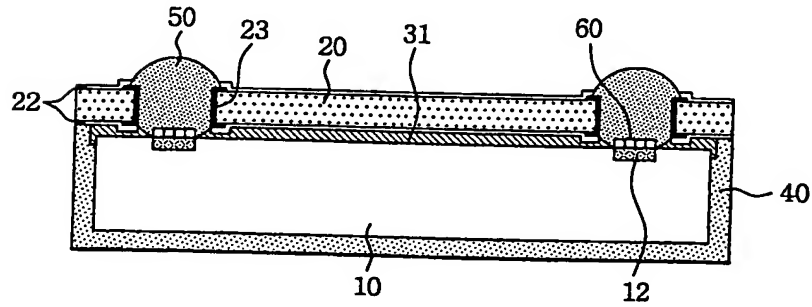
도면 1



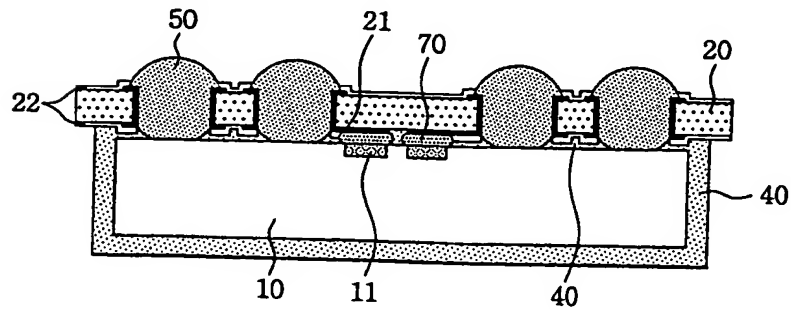
도면 2



도면 3



도면 4



BEST AVAILABLE COPY